

Step-by-Step

A.02

Auf einfachem Weg zum optimierten Buck-Schaltregler

Immer mehr komplexe Elektroniksysteme auf Basis von DSPs, FPGAs und ASICs verlangen nach einem besonders effizienten Power-Management. Hier kommen bevorzugt moderne Schaltregler zum Einsatz die nach dem Buck-Converter-Prinzip arbeiten. Jeder Entwickler sollte sich darum Kenntnisse über die prinzipielle Funktionsweise aneignen. MICHELE SCLOCCHI

Grundsätzlich eignet sich ein Buck-Schaltregler sowohl für den nicht-lückenden als auch für den lückenden Betrieb. Beide Betriebsarten haben jedoch ihre Besonderheiten, und die Bauelemente müssen unterschiedliche Ströme und Spannungen verkraften. Ein DC/DC-Abwärtswandler lässt sich vereinfachend als eine Kombination aus einem Schaltelement und einem Tiefpassfilter am Ausgang betrachten. Das Schaltelement wird von einem Controller so ein- und ausgeschaltet, dass unabhängig von der Eingangsspannung und der Belastung des Ausgangs eine konstante Ausgangsspannung aufrechterhalten wird (Abb. 1).

Am Beginn eines jeden Zyklus (t_0) wird der MOSFET Q1 eingeschaltet. Die Eingangsspannung V_i ist größer als die Ausgangsspannung V_O , und der Strom I_L in der Induktivität nimmt so lange zu, bis Q1 abgeschaltet wird. Im geöffneten Zustand von Q1 geht die Spannung V_S am Schaltknoten rasch zurück und nimmt ein negatives Vorzeichen an, wodurch die Diode D_1 in Durchlassrichtung vorgespannt wird und I_L bis zum Beginn des nächsten Zyklus abnimmt.

Wenn I_L auf Null zurückgeht, bevor der nächste Zyklus beginnt, spricht man von einem un stetigen bzw. lückenden Betrieb (Discontinuous Conduction Mode; DCM). Fließt jedoch am Beginn des nächsten Zyklus noch ein gewisser Strom in der Induktivität, handelt es sich um einen stetigen bzw. nicht-lückenden Betrieb (Continuous Conduction Mode; CCM).

Im DCM gibt es somit eine bestimmte Phase, in der die Induktivität vollständig entla-

den ist und die Versorgung des Verbrauchers ausschließlich vom Ausgangskondensator übernommen werden muss. Es kommt hierbei in der Ausgangs-Induktivität und im Ausgangskondensator zu stark pulsierenden Strömen. Im CCM dagegen läuft die Induktivität niemals ganz leer, sodass die Welligkeit von I_L im Idealfall relativ gering ist (Abbildung 1). Aus Abbildung 1 geht auch anschaulich hervor, dass die Induktivität im lückenden Betrieb bei gleichem Ausgangsstrom mit deutlich höheren Stromspitzen konfrontiert wird, weshalb die Strom- und Spannungswelligkeit am Ausgang verglichen mit einer CCM-Lösung deutlich höher ist.

Wahl des richtigen Controllers

Die Controller-Logik ist dafür zuständig, die Ausgangsspannung durch präzise und schnelle Schaltvorgänge des Haupt-MOSFET zu regeln. In Anwendungen, bei denen die Differenz zwischen Eingangs- und Ausgangsspannung groß ist und die deshalb mit sehr geringem Tastverhältnis (D) arbeiten, kann es zu großen Verlustleistungen an der Ausgangsdiode D_1 kommen. Diese Verlustleistung lässt sich wie folgt abschätzen:

$$P_{diode} = I_O \cdot V_{forward} \cdot (1 - D) \quad (1)$$

Darin ist $V_{forward}$ der Spannungsabfall an der Diode in Durchlassrichtung. Besser bewährt sich ein Synchrongleichrichter, in dem die Diode durch einen leistungsfähigen externen MOSFET ersetzt und durch einen Controller für zwei MOSFETs angesteuert wird.

Auswahl der Eingangs- und Ausgangsfilter

Die Ausgangsinduktivität und der Ausgangskondensator werden in der Regel so ge-

wählt, dass das erforderliche Spannungs-Ein-schwingverhalten bei den im ungünstigsten Fall zu erwartenden Laständerungen erzielt, und die maximale Strom- und Spannungswelligkeit am Ausgang eingehalten wird. Mit wenigen Design-Iterationen lässt sich ein optimiertes LC-Filter finden, das die gewünschten Ausgangs-Eigenschaften ergibt und mit möglichst kostengünstigen und kompakten Induktivitäten und Kondensatoren auskommt. Berücksichtigt man die Tatsache, dass die Laständerungen in der Regel wesentlich schneller erfolgen als die Regelschleife reagieren kann, so ist das maximale Regelfenster der Ausgangsspannung ($\delta\%$) eine Funktion des effektiven Serienwiderstands (ESR) und der effektiven Serieninduktivität (ESL) der Ausgangskondensatoren, sowie der maximalen Laständerung (ΔI_{tran}). Lässt man die geringfügigen Auswirkungen des ESL außer Acht, muss zur Einhaltung des Spannungsregelfensters der Gesamt-ESR der Ausgangskondensatoren folgende Bedingung erfüllen:

$$ESR_{cap} \leq \frac{V_O \cdot (\delta\% - \lambda\%) - V_{ripple} / 2}{\Delta I_{tran}} \quad (2)$$

Darin ist V_O die Nenn-Ausgangsspannung, $\delta\%$ das maximale Regelfenster der Ausgangsspannung, $\lambda\%$ die Anfangsgenauigkeit der Ausgangsspannung und V_{ripple} die maximale Spannungswelligkeit im statischen Zustand. Damit die Anforderungen bezüglich der Ausgangswelligkeit eingehalten werden, muss die Ausgangs-Induktivität folgende Bedingung erfüllen:

$$L \geq \frac{(V_{in} - V_O) \cdot D \cdot ESR_{cap}}{V_{ripple} \cdot f_{sw}} \quad (3)$$

Der tatsächlich gewählte Induktivitätswert ist ein Kompromiss zwischen Preis und Größe, den maximalen Verlusten in der Induktivität und dem von der Induktivität maximal tolerierten Welligkeitsstrom.

AUTOR

MICHELE SCLOCCHI
Produkt Marketing Manager
michele.sclocchi@nsc.com
National Semiconductor GmbH,
Livry-Gargan-Straße 10
82256 Fürstenfeldbruck
T +39/2/57563-207

Die Wechselstromverluste in Kern und Wicklung sind direkt proportional zur Steilheit der Stromflanken und zur Schaltfrequenz f_{sw} . Einen guten Kompromiss bietet ein maximaler Welligkeitsstrom $\Delta I_L\%$ zwischen 30 und 50 % des Nenn-Ausgangsstroms. Daraus ergibt sich ein Induktivitätswert von:

$$L = \frac{V_{in} - V_o}{\Delta I_L\% \cdot I_o} \cdot \frac{D}{f_{sw}} \quad (4)$$

Die Minimalkapazität der Ausgangskondensatoren zur Einhaltung des Spannungs-Einschwingverhaltens bei Worst-Case-Laständerungen ist:

$$C_o \geq \frac{L \cdot [\Delta V_{tr} - \sqrt{[\Delta V_{tr}^2 - (\Delta I_L\% \cdot I_{o_{max}} \cdot ESR_{cap})^2]}]}{V_o \cdot ESR_{cap}^2} \quad (5)$$

Darin ist ΔV_{tr} der Zähler von Gleichung (1). In einem typischen Buck-Schaltregler entstehen im Eingangskondensator wesentlich größere Verluste als im Ausgangskondensator. Der Grund dafür liegt in der rechteckigen Wellenform und der Tatsache, dass der Spitzenstrom gleich dem Laststrom ist. Der effektive Welligkeitsstrom beträgt näherungsweise:

$$I_{RMS} = I_o \cdot \sqrt{D \cdot (1-D)} \quad (6)$$

und die Verluste betragen $I_{RMS}^2 \cdot ESR$.

Auswahl der externen MOSFETs

Kriterien für die Wahl des MOSFET sind eine minimale Zunahme der Sperrschicht-Temperatur durch Minimierung der Verlustleistung unter gleichzeitiger Wahrung der Kosteneffektivität. Abgesehen von der Maximalspannung V_{DS} und dem Maximalstrom sind bezüglich des MOSFET drei weitere wichtige Parameter zu beachten, nämlich der Drain-Source-Widerstand im eingeschalteten Zustand ($R_{DS(on)}$), die Gate-Schwellschpannung $V_{GS(th)}$ und die Schalt-Ladungen Q_{GS} und Q_{GD} . Die Verluste in einem MOSFET setzen sich aus den Leitungsverlusten, den Schaltverlusten und den Gateladungs-Verlusten zusammen. Spitzenspannung, Spitzenstrom und Schaltfrequenz sind bei High-Side- und Low-Side-MOSFETs identisch. Allerdings ist das Timing genau entgegengesetzt, sodass sich die Verluste wie folgt aufschlüsseln:

1. Verluste in High-Side-MOSFETs. Lässt man die Gateladungs-Verluste, die sich nur geringfügig auswirken, unberücksichtigt, so setzen sich die Verluste in einem High-Side-

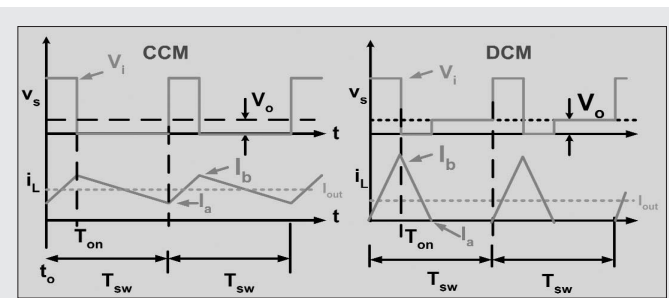


Abb. 1: Verlauf von V_S und I_L für CCM und DCM

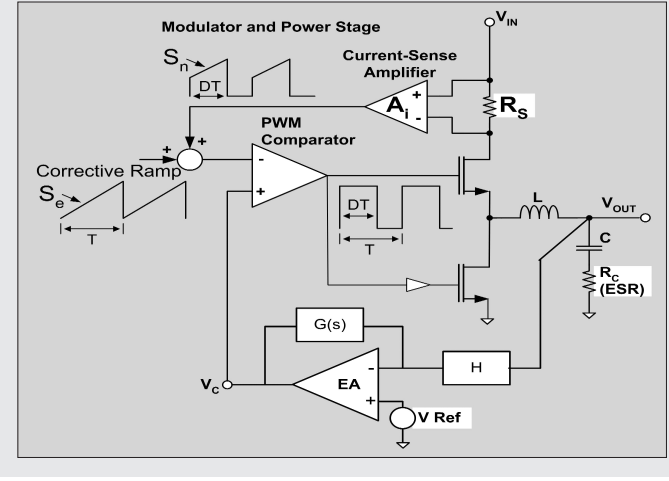


Abb. 2: Die Peak-Current-Mode-Regelschaltung misst den Strom im High-Side-MOSFET

MOSFET aus den Leitungsverlusten P_{cond} und den Schaltverlusten P_{sw} zusammen:

$$P_{cond} = I_o^2 \cdot r_{DS(on)} \cdot D \quad (7)$$

In Anwendungen, die wegen einer großen Differenz zwischen Ein- und Ausgangsspannung mit geringem Tastverhältnis arbeiten, treten die Leitungsverluste in der Regel hinter die Schaltverluste zurück. Letztere lassen sich wie folgt abschätzen:

$$P_{sw} = \frac{I_o \cdot V_i}{2} \cdot f_{sw} \cdot (t_{LH} + t_{HL}) \quad (8)$$

Die Terme t_{LH} und t_{HL} geben die Schaltzeiten vom Aus- in den Ein-Zustand und umgekehrt an. Diese Schaltzeiten werden vom maximalen Gate-Treiberstrom (d.h. vom internen Gate-Treiberwiderstand $R_{dr_{ON}}$ und $R_{dr_{OFF}}$), der Gate-Drain-Ladung Q_{gd} und der Gate-Source-Ladung Q_{gs} bestimmt. Die beiden Schaltzeiten berechnen sich folgendermaßen:

$$t_{LH} = \left(Q_{gd} + \frac{Q_{gs}}{2} \right) \cdot \frac{R_{dr_{ON}}}{V_{dr} - V_{GS(th)}} \quad (9)$$

$$t_{HL} = \left(Q_{gd} + \frac{Q_{gs}}{2} \right) \cdot \frac{R_{dr_{OFF}}}{V_{dr} - V_{GS(th)}} \quad (10)$$

wobei V_{dr} die Treiberausgangsspannung und $V_{GS(th)}$ die Gate-Schwellschpannung angibt. Ziel bei der Wahl des MOSFET ist ein guter Kompromiss aus Leitungs- und Schaltverlusten. Ein MOSFET mit sehr geringem $R_{DS(on)}$ wird tendenziell eine höhere Gate-Kapazität und dementsprechend höhere Schaltverluste aufweisen.

2. Verluste in Low-Side-MOSFETs. Im Falle des low-seitigen MOSFET Q2 sind die Schaltverluste gegenüber den Leitungsverlusten vernachlässigbar, denn Q2 schaltet erst ein, wenn die interne Body-Diode bereits in Durchlassrichtung vorgespannt und die Drain-Source-Spannung somit gering ist. Bei den Verlusten in Q2 handelt es sich im Wesentlichen um die Leitungsverluste und die Diodenverluste während der Totzeit.

$$P_{Q2} = I_o^2 \cdot r_{DS(on)} \cdot (1-D) \quad (11)$$

Kompensation der Regelschleife

Das Modellieren der Regelschleife in einem Schaltnetzteil galt stets als die anspruchsvollste Aufgabe im Zuge des Designs, da man es hier mit sehr komplizierter AC-Modellierung und obskuren Kompensationsregeln zu tun hat. Am besten ist es, von einem einfachen und intuitiven Modell der Regelschal-

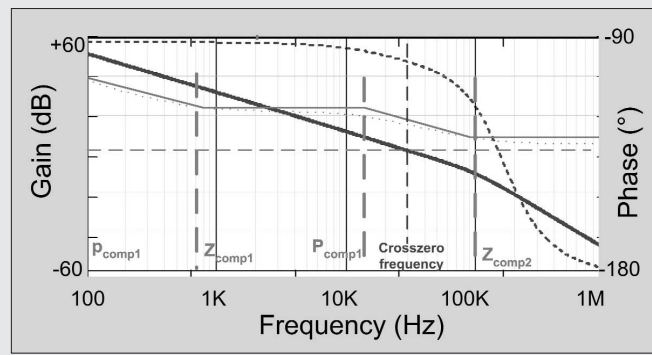


Abb. 3: Bode-Diagramm der Übertragungsfunktion der Regelschleife und des Kompensationsnetzwerks

$$f_{z1} = \frac{1}{2\pi \cdot ESR_{cap} \cdot Co} \quad (15)$$

Es existieren zwei hochfrequente Polstellen, komplex konjugiert bei der halben Schaltfrequenz. Die Übertragungsfunktion des Kompensationsnetzwerks wird zur Übertragungsfunktion des Regelausgangs addiert, um unter Wahrung der Stabilität für die Einhaltung der statischen und dynamischen Performance-Anforderungen zu sorgen. Theoretisch sollte die ideale Schleifenverstärkung folgende Merkmale aufweisen:

tung auszugehen, die geeignete Kompensationsrampe zu wählen und die Ergebnisse mit Hilfe einer genaueren Messung unter Hinzuziehung eines Netzwerk-Analysators zu verifizieren. Für einen Buck-Wandler kommen in erster Linie drei PWM-Regelbetriebsarten in Betracht:

- **Voltage-Mode:** Der Vergleich eines intern erzeugten Sägezahnsignals mit dem Fehlersignal der Regelschleife ergibt das PWM-Signal zur Ansteuerung des High-Side-Treibers. Im Voltage-Mode werden die im Current-Mode auftretenden Schwierigkeiten mit der Schleifenkompensation vermieden. Die Störempfindlichkeit ist geringer und es wird im Allgemeinen eine kürzere Austastzeit bei der Abtastung des Ausgangsstroms benötigt. Man bevorzugt den Voltage-Mode bei Anwendungen mit hoher Schaltfrequenz und konstanter Eingangsspannung (z.B. LM 2743, LM 2737, LM 267x).
- **Voltage-Mode-Feed-Forward:** Die Steilheit des Sägezahnsignals ändert sich mit der Eingangsspannung, sodass die Abhängigkeit der Schleifenverstärkung und Schleifenbandbreite von der Eingangsspannung aufgehoben wird (z.B. LM2647).
- **Current-Mode:** Anstatt ein konstantes Sägezahnsignal zur Bestimmung des Tastverhältnisses zu benutzen, wird im Current-Mode die Stromstärke in der Ausgangs-Induktivität als Sägezahnsignal verwendet.

Abbildung 2 zeigt die Peak-Current-Mode-Regelschaltung des Controllers LM5642. Ein Stromabtastverstärker erfasst den Strom in der Induktivität entweder an Hand des Spannungsabfalls am eingeschalteten High-Side-MOSFET oder an einem zusätzlichen, in Reihe geschalteten, kleinen R_{sense} -Widerstand (S_n). Zu S_n wird ein festes, korrigierendes Rampensignal S_e addiert, um das Problem der subharmonischen Schwingungen bei Tastverhältnissen über 50 % zu vermei-

den. Das solcherart erzeugte Sägezahnsignal wird mit dem Fehlersignal der Regelschleife verglichen, um das PWM-Ansteuersignal für den High-Side-Treiber zu erhalten. Die Current Mode Regelung hat mehrere Vorteile, wie etwa eine gute Stromaufteilung auf mehrere parallel geschaltete Phasen, eine bessere Kompensation infolge der nur eine Polstelle aufweisenden Kennlinie des LC-Filters am Ausgang, eine präzise zyklusweise Strombegrenzung und Unempfindlichkeit gegenüber eingangsseitigen Störungen. Die Übertragungsfunktion der Regelschleife eines Current-Mode-PWM-Buck-Schaltreglers lässt sich wie folgt zu einer Funktion mit drei Polstellen und einer Nullstelle vereinfachen:

Eine niederfrequente Polstelle wird durch das LC-Ausgangsfilter ($fp1$) bestimmt:

$$fp1 = \frac{fo}{2\pi \cdot Co \cdot Vo} + \frac{1}{2\pi \cdot L \cdot Co \cdot f_{sw}} \cdot [(1-D) \cdot mc - 0.5] \quad (12)$$

Hierin gibt mc den Kompensationsrampenfaktor an.

$$mc = 1 + \frac{S_e}{S_n} \quad (13)$$

S_e ist die Korrekturrampe, die addiert wird, um subharmonische Oszillationen bei Tastverhältnissen über 50 % zu unterbinden. S_e ist das Produkt aus dem Peak-to-Peak-Wert der Spannungskompensationsrampe und der Schaltfrequenz. S_n ist die an PWM-Controller gelangende Strom-Wellenform:

$$S_n = \frac{V_m \cdot (1-D)}{L} \cdot R_{sense} \cdot \rho \quad (14)$$

Hierin steht R_{sense} für den Stromabtastwiderstand und ρ für die Verstärkung des Stromabtastverstärkers. Der Ausgangskondensator ergibt eine Nullstelle:

- Hohe Ansprechgeschwindigkeit der Schleife, erzielt durch eine große Bandbreite (hohe Nulldurchgangsfrequenz)
- Zunahme der Schleifenverstärkung um 20 dB/Dekade von niedrigen Frequenzen bis zur Hälfte der Schaltfrequenz
- Hohe DC-Regelgenauigkeit, damit Änderungen der Eingangsspannung und der Last nur minimale Änderungen der DC-Spannung verursachen (erzielt durch hohe DC-Verstärkung)
- Große Störuneempfindlichkeit mit niedriger Verstärkung bei hohen Frequenzen in der Nähe der Schaltfrequenz
- Flach verlaufende Phasenkurve nahe der Crossover-Frequenz
- Gute Phasenreserve zum Erzielen hoher Stabilität und minimales Überschwingen.

Um einerseits eine hohe Bandbreite zu erreichen und andererseits die Verstärkung bei hohen Frequenzen zu begrenzen, sollte die Crossover-Frequenz nicht größer als ein Viertel der Schaltfrequenz sein. Zum Anheben der DC-Verstärkung legt man die erste Polstelle des Kompensationsnetzwerks auf 0 Hz. Eine Zunahme der Schleifenverstärkung um -20 dB pro Dekade erreicht man, indem man eine Nullstelle des Kompensationsnetzwerks bei $fp1$, eine zweite Polstelle bei $fz1$ und die zweite Nullstelle bei der Hälfte der Schaltfrequenz platziert. Abbildung 3 zeigt die Bode-Diagramme des Kompensationsnetzwerks und die endgültige Schleifenverstärkung des Systems (Verstärkung und Phase).

Literatur

[1] Switching Power Supply Design, Pressman.
 [2] Current Mode Control Modelling, R. Ridley.
 [3] Switching Power Supply Design & Optimization, Maniktala.
 [4] Frequency Response Measurements for Switching Power Supplies, R. Ridley.

Beitrag als PDF auf www.EuE24.net

more @ click **EE5A0210** >